מטרה:

1)נרצה לממש ASYNCHRONOUS FIFO לפי המאמר הבא:

Simulation and Synthesis Techniques for Asynchronous FIFO Design

ולבדוק שאכן עובד, על ידי סימולציה של מעגל קלט ומעגל פלט בתדרים שונים. נראה דיאגרמות שמציגות את העבודה של המעגל.

2)אנחנו רוצים להראות שהפלט והקלט ללא הFIFO מכילים מטסטביליות ולאחר חיבור הFIFO שהמטסטביליות מתוקנת.

3)נרצה להראות גם שהמעגל FIFO שלנו יעיל יותר מהשיטה האלטרנטיבית לתיקון מטסטביליות שהיא על ידי SYNCHRONIZER רב שלבי.

4)נממש SORTER לפי מה שנלמד בPIPELINE שכך שכל PIPE עובד בתדר שונה ונראה שהASYNCH FIFO שלנו מוציא OUTPUT תקין.